

011332892 **Image available**

WPI Acc No: 1997-310796/199728

XRPX Acc No: N97-257427

Flat display driving mechanism with latch transmission gate - connected between shift register and current source array for adjusting supply time of one line of pixel data applied to array to drive pixels on one horizontal line of flat display by current signals for preset time period

Patent Assignee: ORION ELECTRIC CO LTD (ORIO-N)

Inventor: HER G; HYUN C; KWON O; NA Y; HER G M; HYUN C H; KWON O K; NA Y S; HUH G M; KWON O G; NAH Y S

Number of Countries: 021 Number of Patents: 006

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| WO 9720300 | A1 | 19970605 | WO 96KR226 | A | 19961130 | 199728 B |
| EP 807299 | A1 | 19971119 | EP 96941219 | A | 19961130 | 199751 |
| | | | WO 96KR226 | A | 19961130 | |
| KR 97029293 | A | 19970626 | KR 9545455 | A | 19951130 | 199906 |
| JP 10513580 | W | 19981222 | WO 96KR226 | A | 19961130 | 199910 |
| | | | JP 97520379 | A | 19961130 | |
| US 5953003 | A | 19990914 | WO 96KR226 | A | 19961130 | 199944 |
| | | | US 97875544 | A | 19971006 | |
| CN 1169787 | A | 19980107 | CN 96191647 | A | 19961130 | 200321 |
| | | | WO 96KR226 | A | 19961130 | |

Priority Applications (No Type Date): KR 9545455 A 19951130

Cited Patents: WO 8801098; WO 9415350

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

WO 9720300 A1 E 22 G09G-003/28

Designated States (National): CN JP US

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LU MC NL PT SE

EP 807299 A1 E G09G-003/28 Based on patent WO 9720300

Designated States (Regional): DE FR GB NL

KR 97029293 A G09G-003/30

JP 10513580 W 22 G09G-003/22 Based on patent WO 9720300

US 5953003 A G09G-005/00 Based on patent WO 9720300

CN 1169787 A G09G-003/28 Based on patent WO 9720300

Abstract (Basic): WO 9720300 A

The driving mechanism includes a gate driver for sequentially and selectively applying a high voltage to the gate lines to drive them. A data driver includes a shift register for sequentially inputting one line of pixel data. A current source array inputs one line of pixel data from the shift register and generates one line of current signals

corresponding to each logic value of the pixel data and applies one line of current signals to the data lines.

A latch type transmission array (54) is connected between the shift register (52) and the current source array (58) for adjusting the supply time of the one line of pixel data to be applied to the current source array. This drives the pixels on one horizontal line of the flat display by the current signals for a preset time period. A controller (30) processes a video signal into a series type of pixel data, and supplies it to the data driver and generates control signals required for the data driver and the gate driver.

USE/ADVANTAGE - For field emission display. Relates to data driving mechanism using latch type transmission gate applicable to flat display drivers for current driving. Provides flat display data driver which can flexibly adjust transmission time.

Dwg.3/6

Title Terms: FLAT; DISPLAY; DRIVE; MECHANISM; LATCH; TRANSMISSION; GATE; CONNECT; SHIFT; REGISTER; CURRENT; SOURCE; ARRAY; ADJUST; SUPPLY; TIME; ONE; LINE; PIXEL; DATA; APPLY; ARRAY; DRIVE; PIXEL; ONE; HORIZONTAL; LINE ; FLAT; DISPLAY; CURRENT; SIGNAL; PRESET; TIME; PERIOD

Derwent Class: P85; T04

International Patent Class (Main): G09G-003/22; G09G-003/28; G09G-003/30; G09G-005/00

International Patent Class (Additional): G09G-003/20

File Segment: EPI; EngPI

?

Flat display data driving device using latch type transmitter

Patent number: CN1169787

Publication date: 1998-01-07

Inventor: CHANG-HO HYUN (KR); OH-KYONG KWON (KR); YOUNG-SUN NA (KR)

Applicant: ORION ELECTRIC CO LTD (KR)

Classification:

- **international:** G09G3/28

- **european:**

Application number: CN19960191647 19961130

Priority number(s): KR19950045455 19951130

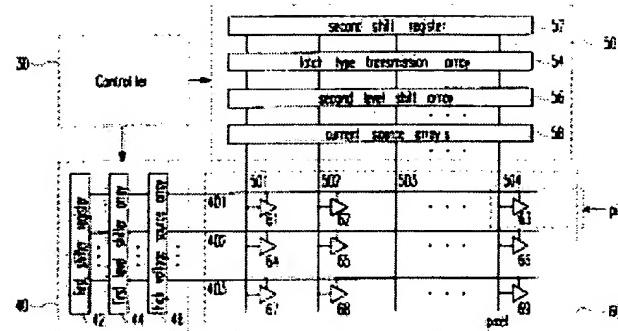
Also published as:

- WO9720300 (A)
- EP0807299 (A1)
- US5953003 (A1)

Abstract not available for CN1169787

Abstract of correspondent: US5953003

PCT No. PCT/KR96/00226 Sec. 371 Date Oct. 6, 1997
 Sec. 102(e) Date Oct. 6, 1997 PCT Filed Nov. 30, 1996 PCT Pub. No. WO97/20300 PCT Pub. Date Jun. 5, 1997 A flat display driving includes a gate driving circuit for sequentially and selectively applying a high voltage to a plurality of gate lines to drives them; a data driving circuit which includes a shift register for sequentially inputting one line of pixel data, a current source array which inputs on line of pixel data from the shift register, generates one line of current signals corresponding to each logic value of the pixel data and applies one line of current signals to the data lines and a latch type transmission array connected between the shift register and the current source array, for adjusting the supply time of one line of pixel data to be applied to the current source array, thereby driving the pixels on one horizontal line of the field emission display by the current signals for a predetermined time period; and a control circuit which processes a video signal into a series type of pixel data, supplies it to the data driving circuit and generates control signals required for the data driving circuit and gate driving circuit.



Data supplied from the **esp@cenet** database - Worldwide

[19]中华人民共和国专利局

[51]Int.Cl⁶

G09G 3/28



[12]发明专利申请公开说明书

[21]申请号 96191647.8

[43]公开日 1998年1月7日

[11]公开号 CN 1169787A

[22]申请日 96.11.30

[30]优先权

[32]95.11.30 [33]KR [31]1995 / 45455

[86]国际申请 PCT / KR96 / 00226 96.11.30

[87]国际公布 WO97 / 20300 英 97.6.5

[85]进入国家阶段日期 97.7.30

[71]申请人 奥利德电气株式会社

地址 韩国庆尚北道龟尾市

[72]发明人 权五敬 罗永宜 玄昌镐 许根茂

[74]专利代理机构 上海专利商标事务所

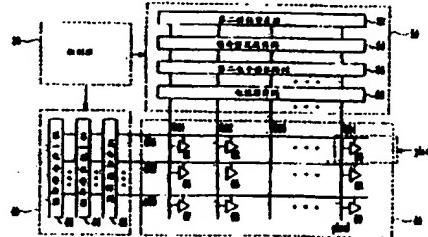
代理人 孙敬国

权利要求书 2 页 说明书 6 页 附图页数 6 页

[54]发明名称 采用锁存型发送器的平面显示器数据驱动装置

[57]摘要

本发明的平面显示器驱动装置具有选通驱动电路、数据驱动电路和控制电路。其中，选通驱动电路用于将高电压顺次地并有选择地施于多条选通线，以驱动它们；数据驱动电路包括移位寄存器、电流源阵列和锁存型发送阵列；而控制电路将视频信号处理成一串行型像素数据，向数据驱动电路提供它并产生数据驱动电路和选通驱动电路所需的控制信号。其中，移位寄存器用于顺次地输入一行像素数据；电流源阵列从移位寄存器输入一行像素数据线，产生与像素数据的每个逻辑值对应的一行电流信号，并将一行电流信号施于多根数据线；而锁存型发送阵列连接在移位寄存器和电流源阵列之间，用于调节要施加于电流源阵列的一行像素数据的供应时间，因此在预定时间间隔内，用电流信号驱动在场发射显示器的一个水平行上的像素。



权 利 要 求 书

1. 一种平面显示器驱动装置，其中，将多根数据线设置成在垂直方向互相平行，将多根选通线设置成在水平方向互相平行，多个象素与所述多条数据线和选通线相连，并且每个象素包括多个场致发射元件，其特征在于，所述平面显示器驱动装置包括：

5 移位驱动装置，用于将高电压顺次地并有选择地施加于所述多条选通线，以驱动它们；

数据驱动装置，包括：

10 移位寄存器，用于顺次地输入一行象素数据；

电流源阵列，它从所述移位寄存器输入所述一行象素数据，产生与所述象素数据的每个逻辑值对应的一行电流信号，并将所述一行电流信号施加于所述多条数据线；和

15 锁存型发送阵列，它连接在所述移位寄存器和所述电流源阵列之间，用于调节施加于所述电流源阵列的所述一行象素数据的供应时间，因此在预定时间间隔内，用所述电流信号驱动在平面显示器的一水平行上的所述象数；和

所述平面显示器驱动装置还包括控制装置，它将视频信号处理成串行型的象素数据，向所述数据驱动装置提供它并产生所述数据驱动装置和选通驱动装置所需的控制信号。

20 2. 如权利要求 1 所述的平面显示器驱动装置，其特征在于，构成所述象素的所述场致发射元件通常与所述数据线相连，这样，如果提供电流信号，就同时发射与所述电流信号的大小对应的电子。

3. 如权利要求 1 所述的平面显示器驱动装置，其特征在于，所述锁存型发送阵列具有锁存型位发送电路，每个电路包括：

25 存储装置，用于从所述移位寄存器存储象素数据的一位；

连接在所述移位寄存器和所述存储装置之间的第一控制开关，用于通过从所述控制装置输出的数据锁存时钟，有选择地锁存所述的象素数据的一位；和

30 连接在所述存储装置和所述电流源阵列之间的第二控制开关，用于通过从所述控制装置输出的持续时间控制脉冲，调节要向所述电流源阵列提供的所述象素数据的一位的提供时间。

4. 如权利要求 3 所述的平面显示器驱动装置，其特征在于，所述存储装置包括连接在第一和第二控制开关之间的两个反相器以形成循环回路。

35 5. 如权利要求 4 所述的平面显示器驱动装置，其特征在于，所述存储装置还包括第三控制开关，它连接在所述两个反相器之间并由所述数据锁存时钟以与所述第一控制开关互补的方式驱动，于是开/关所述循环回路。

6. 如权利要求 5 所述的平面显示器驱动装置，其特征在于，所述锁存型位发送电路还包括连接在所述第二控制开关和所述电流源阵列之间的缓冲装置，用于

缓冲从所述第二控制开关提供的所述象素数据。

7. 如权利要求 3 所述的平面显示器驱动装置，其特征在于，所述锁存型位发送电路还包括初始化装置，它由所述持续时间控制脉冲以与所述第二控制开关互补的方式驱动，并初始化向所述电流源阵列提供的所述象素数据。

5 8. 如权利要求 7 所述的平面显示器驱动装置，其特征在于，所述锁存型位发送电路还包括连接在所述初始化装置、所述第二控制开关和所述电流源阵列之间的电平移位器，用于把来自所述初始化装置和第二控制开关的所述数据的所述电压电平移到足够所述电流源阵列使用的所述电压电平。

10 9. 如权利要求 8 所述的平面显示器驱动装置，其特征在于，每个所述第一和第二控制开关包括并联连接的 NMOS 晶体管和 PMOS 晶体管。

10. 如权利要求 7 所述的平面显示器驱动装置，其特征在于，所述初始化装置包括两个串联连接的 NMOS 晶体管和与所述串联连接的 NMOS 晶体管串联连接的两个串联连接的 PMOS 晶体管，于是向所述电流源阵列提供高电压的输出信号或高阻抗状态的输出信号。

15 11. 如权利要求 1 所述的平面显示器驱动装置，其特征在于，还包括连接在所述锁存型发送阵列和所述电流源阵列之间的电平移位阵列，用于将从所述锁存型发送阵列输出的所述一行象素数据的电压电平移到足够所述电流源阵列使用的电压电平。

说 明 书

采用锁存型发送器的平面显示器数据驱动装置

5 技术领域

本发明涉及用锁存型发送门的数据驱动装置，它适用于电流驱动的平面显示器驱动装置。

技术背景

10 电流驱动的平面显示器的一个例子是场致发射器显示器(下文称为“FED”)，而且本发明提出一种用无源矩阵寻址法的场致发射显示器的改进的数据驱动装置。

15 液晶显示器(LCD)作为平面显示器曾受到关注，它通过用液体阻断从光源发出的光束来显示图象。对它的驱动方法主要分成无源矩阵寻址法和有源矩阵寻址法，LCD的无源矩阵寻址法是将不同的电压分别施加于LCD的玻璃基片的上和下板，于是将数据输入到位于交叉点的象素。这种方法的不利之处在于，一个指定象素的邻近象素也受到影响，于是为了得到优质图象，需要补偿电路，结果导致复杂的驱动装置。有源矩阵寻址法是这样的，一个象素具有单元晶体管(cell transistor)和电容器，并且由前一个象素数据连续驱动一个象素直至输入下一个象素数据，因而这种方法使得清晰度有改进和驱动装置简单。然而，有源矩阵寻址法的不利之处在于它需要多个晶体管和电容器在LCD的玻璃基片上，这样导致复杂的制造过程和低的生产率。现在，LCD占领了平面显示器市场的最大部分。然而，它存在着从光源发出的光只有百分之几真正地影响图象等一些问题，结果导致消耗较大功率并且难以制成大尺寸。此外，由于使用半液体材料(液晶)，所以LCD对温度的变化很敏感，输入方面的能力差，具有暗的图象并在分辨率方面有限制。为了解决这些问题，对于FED作为平面显示器的替代而进行研究。FED以与用发射的电子显示图象的阴极射线管类似的方法显示图象。然而，FED与阴极射线管的不同之处在于FED用冷电子发射，而阴极射线管用热电极发射。

20 在FED中，将发射电子的场致发射元件置于每个象素处，而从场致发射元件发射的电子同涂有荧光薄膜的电极相撞，于是显示图象。现在FED作为能解决LCD的上述问题的下一代平面显示器而引人注目。

25 FED能集成几百或几千个场致发射元件以形成一个象素。构成FED象素的每个场致发射元件具有与阴极电极10连接的阴极12；分开置于阴极12的上方、并与之有一预定间隔的门电极14；和正极板18，如图1所示。正极板18的后表面涂有荧光薄膜16。荧光薄膜16产生与相撞的电子数对应的光，这样可以显示图象。正极板18起到吸引从阴极12发射的电子的作用，并且将它制成透明的，从而可以透过从荧光薄膜16发出的光。阴极12是具有削尖部分的喇叭型的，而

且用来自阴极电极 10 的驱动功率，从它的削尖部分发射电子。门电极 14 有一个开口以露出阴极 12 的削尖部分。门电极 14 用比施加在正极板 18 上的电压低的高电压，使电子从阴极 12 发射出来，并且施加高电压的正极板 18 加速由门电极 14 向正极板 18 发射的电子。

图 2 显示了根据现有技术的无源矩阵驱动装置。参考图 2，门驱动电路 22a、22b 和 22c 同门线 14a、14b 和 14c 相连，而阴极驱动电路 24a 至 24e 与阴极线 10a 至 10e 相连。将如图 1 所示的喇叭型场致发射元件 12 置于线 14a 至 14c 与阴极线 10a 至 10e 的交叉点处。集成多个场致发射元件 12 以构成一个象素。然而，为了描述方便起见，假设一个场致发射元件 12 构成一个象素。于是，图 2 显示了具有 3×5 个象素的 FED 和它的驱动装置。

Micro Technology Inc. 的第 5,210,427 号美国专利中，揭示了驱动 FED 的另一个方法，即有源矩阵寻址法。在 Micro Technology Inc. 的有源矩阵寻址法中，两个晶体管与图 2 所示的每一个象素相连并且象素以与 LCD 的有源矩阵寻址法类似的方式保持施加给它们的数据，直至施与它们下一个数据为止。Micro Technology Inc. 的有源矩阵寻址法的优点在于每个象素的晶体管在低电压下工作和控制电路具有简单的结构。然而，每个象素需要多个晶体管，结果导致复杂的制造过程。与之相比较，FED 的无源矩阵寻址法具有简单的制造过程。然而，由于每个象素没有晶体管和电容器，因此顺次扫描与一条施加高电压的门线相交的数据线的脉冲长度限制了从一个象素发射的电子。与涂在正极板 18 上的荧光薄膜 16 相撞的电子发出的光的程度与发射的电子数和发射的电子到达正极板 18 的能量有关。由于根据系统决定 FED 的阴极线 10a 至 10e 的扫描脉冲，所以在上述的扫描脉冲长度期间，场致发射元件可能没有发射足够的电子。

发明概要

因此，本发明的一个目的在于提供一种改进的平面显示器数据驱动装置，当选通线接通时，它能保持数据，然后在预定时间内发送该数据，即，能灵活地调节发送时间。

为了达到本发明的上述目的，本发明的平面显示器驱动装置具有选通驱动电路、数据驱动电路和控制电路。其中，选通驱动电路用于将高电压顺次地并有选择地施于多条选通线，以驱动它们；数据驱动电路包括移位寄存器、电流源阵列和锁存型发送阵列；而控制电路将视频信号处理成一串行型象素数据，向数据驱动电路提供它并产生数据驱动电路和选通驱动电路所需的控制信号。其中，移位寄存器用于顺次地输入一行象素数据线；电流源阵列从移位寄存器输入一行象素数据，产生与象素数据的每个逻辑值对应的一行电流信号，并将一行电流信号施于多根数据线；而锁存型发送阵列连接在移位寄存器和电流源阵列之间，用于调节要施加于电流源阵列的一行象素数据的供应时间，因此在预定时间间隔内，用电流信号驱动在场发射显示器的一个水平行上的象素。

附图概述

参考以下结合附图的详细说明，可以容易地理解本发明的上述及各种其他特性和优点，其中：

- 5 图 1 是示出典型的场致发射元件的结构的图；
 图 2 是示出根据现有技术的平面显示器驱动装置的示意图；
 图 3 是示出根据本发明的一个较佳实施例的平面显示器驱动装置的方框图；
 图 4 是示出图 3 中象素的详图；
 图 5 是示出图 3 中锁存型发送器的详图；以及
10 图 6 是示出图 5 中各部分的工作时序图。

本发明的较佳实施方式

参照附图，将详细地讨论本发明的较佳实施例。

15 图 3 显示了根据本发明的较佳实施例的 FED 驱动装置。FED 驱动装置具有控制器 30、垂直驱动单元 40(或选通驱动单元)和水平驱动单元 50(或数据驱动单元)。

20 FED60 元件具有安装在 m 条选通线 401 至 403 和 n 条数据线 501 至 504 的 mxn 个象素 61 至 69。 mxn 象素的每一个包括多个场致发射元件，如图 4 所示。更好的是，在一个象素上集成更多的场致发射元件。然而，每个象素必须具有相同数量的场致发射元件。

25 参考图 4，象素 61 具有与选通线 401 相连的选通电极板 61b 和与数据线 501 相连的阴极电极板 61a。安排阴极电极板 61a 与选通电极板 61b 隔开一个预定的间隔而绝缘。在阴极电极板 61a 的表面上形成多个阴极 61c，并且每一个阴极 61c 都是具有削尖部分的喇叭型的。选通电极板 61b 具有露出阴极 61c 的削角部分的开口 61b。

30 图 4 中，如果当一条选通线 401 施加高电压时，从数据线 501 施加电流信号至阴极电极板 61a，那么从阴极 61c 的削尖部分发射与电流信号的大小相对应的电子，并且由正极板 18(图 4 未示出)加速已发射的电子，而那些电子与涂在正极板 18 的荧光表面 16(图 4 未示出)相撞，于是发出光。

35 回到图 3，垂直驱动单元 40 具有第一移位寄存器 42，和用于根据移位寄存器 42 的输出信号驱动高电压源阵列 46 的电平移位器 44。第一移位寄存器 42 产生数字输出信号的 m 位，其中只有 1 位具有特定的逻辑值“1”或“0”。每当将水平同步信号施加至移位寄存器 42 时，将特定逻辑值从输出信号的 m 位的较低有效位(less significant bit)移到相邻的较高有效位(more significant bit)。由具有特定逻辑值的输出信号驱动的电压源向 m 条选通线 401 至 403 中与之相连的选通线施加高电压。通过第一移位寄存器 42 和高电压源阵列 46 的操作，m 条选通线 401 至 403 顺次地并有选择地将高电压保持 1 个水平周期。

垂直驱动单元 40 还包括在第一移位寄存器 42 和高电压源阵列 46 之间相连的第一电平移位器阵列 44。第一电平移位器阵列 44 起到将从第一移位寄存器 42 输出的输出信号的 m 位电压电平移到足够高电压源阵列 46 使用的电压电平。

水平驱动单元 50 具有第二移位寄存器 52 和锁存型发送阵列 54。其中，第二移位寄存器 52 具有扫描脉冲，并从控制器 30 顺次地输入象素数据；而锁存型发送阵列 54 根据扫描脉冲从第二移位寄存器 52 顺次地输入象素数据，并且在一段预定时间间隔内，发送象素数据。第二移位寄存器 52 在一个水平扫描周期内，从控制器 30 顺次地输入串行类型的象素数据。

锁存型发送阵列 54 在与从控制器 30 所施加的持续时间控制脉冲(DCP)的宽度对应的时间间隔内发送根据第二移位寄存器 52 的连续脉冲输入的象素数据。

当从锁存型发送阵列 54 顺次地输入一行象素数据时，驱动电流源阵列 58。构成电流源阵列 58 的每个电流源根据象素数据的逻辑值，向与之相连的 n 条数据线 501 至 504 的一条数据线提供增加的电流。

在与持续时间控制脉冲(DCP)的脉冲长度对应的时间间隔内，集中地驱动构成一个象数的场致发射元件。场致发射元件根据电流信号的大小调节发射的电子数。

那就是说，在预定的时间间隔内，由持续时间控制脉冲的脉冲宽度驱动由电流源阵列 58 驱动的象素，而且在水平扫描周期内可以调节持续时间控制脉冲的脉冲宽度。因此，构成一个象素的多个场致发射元件发射与象素数据对应的足够的电子。

连在锁存型发送阵列 54 和电流源阵列 58 之间的第二电平移位器阵列 56 起到了将从锁存型发送阵列 54 输出的象素数据的电压电平移到足够电流源阵列 58 使用的电压电平。

图 5 显示了图 3 的锁存型发送阵列的锁存型位发送器。锁存型位发送器从控制器 30 输入真-假和互补数据锁存时钟 DLC 及/DLC 和持续时间控制脉冲 DCP，并且从第二移位寄存器 52 输入象素数据的一位 BPD-IN。如果象素数据 BPD-IN 的逻辑值为“0”，那么象素数据 BPD-IN 为 0 伏。相反，如果象素数据 BPD-IN 的逻辑值为“1”，那么象素数据 BPD-IN 保持 5 伏。锁存型位发送器具有用于有选择地向第一结点 71 和连在第一及第二结点 71 及 73 之间的锁存型电路 80 发送位象素数据 BPD-IN 的第一控制开关 70。真-假和互补数据锁存时钟 DLC 及/DLC 有选择地驱动第一控制开关 70。

当真-假数据锁存时钟 DLC 保持逻辑“高”电平时，第一控制开关 70 用第二移位寄存器 52 顺次地发送选通 1 行象素数据，并向第一结点 71 发送选通 1 行象素数据的一位象素数据 BPD-IN。

锁存电路 80 将象素数据锁存在第一结点 71 上，直至向第一结点 71 提供下一个象素数据。经过第二结点 73 反相并发送已锁存的象素数据。为此，锁存电路 80 具有第三及第四反相器 82 及 84 和位于第一及第二结点 71 及 73 之间的第三控

制开关 86.

第三反相器 82 把在第一结点 71 上的象素数据反相，而第四反相器 84 把在第二结点 73 上的象素数据反相。即，从第四反相器 84 输出的象素数据具有与在第一结点 71 上的逻辑值相同的逻辑值。真-假和互补数据锁存时钟 DLC 及/DLC 用一种与第一控制开关 70 互补的方式，驱动第三控制开关 86。即，当真-假数据锁存时钟 DLC 在逻辑“低”电平时，第三控制开关 86 将第四反相器 84 的输出端与第一结点 71 相连，以形成第三及第四反相器 82 及 84 的循环回路。当形成循环回路时，第三及第四反相器 82 及 84 保持第一结点 71 的象素数据。

锁存型位发送器还包括连在第二及第三结点 73 及 75 之间的第二控制开关 72、用于清除第三结点 75 上的数据的清除电路 90 和在第三结点 75 上输入数据的第一反相器 74。根据持续时间控制脉冲 DCP 和第二反相器 76 的输出信号，第二控制开关 72 有选择地向第三结点 75 发送在第二结点 73 上的已反相的象素数据。当持续时间控制脉冲 DCP 在逻辑“高”电平时，第二控制开关 72 向第三结点 75 发送在第二结点 73 上的已反相的象素数据。第二反相器 76 把持续时间控制脉冲 DCP 反相并向第二控制开关 72 提供它。

每个由并联连接的 NMOS 晶体管和 PMOS 晶体管构成的第一至第三控制开关 70、72 和 86 是发送选通。持续时间控制脉冲 DCP 和第二反相器 76 的输出信号以与第二控制开关 72 互补的方式，驱动清除电路 90。即，当持续时间控制脉冲 DCP 在逻辑“低”电平时，输出信号 BPD-OUT 变成逻辑“低”电平。于是，当没有输出象素数据时，即，当持续时间控制脉冲 DCP 为“0”时，清除电路 90 清除电流源的电流，从而不能从场致发射元件发射电子。为此，清除电路 90 具有在电源电压 Vcc 和第三结点 75 之间串联连接的第一及第二 PMOS 晶体管 92 和 94，以及在第三结点 75 和接地电压 Vss 之间串联连接的第一及第二 NMOS 晶体管 96 和 98。

一般将持续时间控制信号 DCP 施加于第一及第二 PMOS 晶体管 92 及 94 和第二 NMOS 晶体管 98 的栅极，并且将反相的持续时间控制信号施加于第一 NMOS 晶体管 96 的栅极。如果持续时间控制信号 DCP 在逻辑“低”电平时，那么第一及第二 PMOS 晶体管 92 及 94 和第一 NMOS 晶体管 96 接通，而第二 NMOS 晶体管 98 断开。因此，在电源电压 Vcc 和第三结点 75 之间形成电流通路。这样，第三结点 75 产生逻辑“高”信号。输出信号 BPD-OUT 变成逻辑“低”电平，于是断开电流源。

如果持续时间控制信号 DCP 在逻辑“高”电平，那么第一及第二 PMOS 晶体管 92 及 94 和第一 NMOS 晶体管 96 断开，而第二 NMOS 晶体管 98 接通。因此，第三结点 75 保持高阻抗状态，使得可从位象素数据 BPD-IN 输入输入电压。

于是，将清除电路 90 加到锁存型位发送器的原因是为了准确地控制从场致发射元件发射的电子数。即，在锁存型位发送器不具有清除电路 90 的情况下，如果持续时间控制信号 DCP 达到逻辑“低”电平，那么第三结点 75 保持高阻抗状

态，而保留在电流源元件的栅极和源极之间的寄生电容器上的电荷不能准确地断开电流源元件。因此，即使是在持续时间控制信号 DCP 从逻辑“高”状态变成逻辑“低”状态之后，还可能从场致发射元件不规则地发射电子。为了解决这一问题，在本发明中，将清除电路 90 加到锁存型位发送器。

5 最后，第一反相器 74 把第三结点 75 上的数据反相，并向图 3 所示的第二电平移位阵列 56 提供如图 6 所示的位象素数据 BPD-OUT。

如上所述，本发明的平面显示器驱动装置用电流信号集中地驱动多个场致发射元件，并且用锁存型发送器调节象素的驱动时间，这样能够充分驱动象素。

因此，应理解，本发明不限于在本说明书中描述的作为用于实现本发明的最佳模式的特定实施例，而要由所附的权利要求来规定。
10

说 明 书 附 图

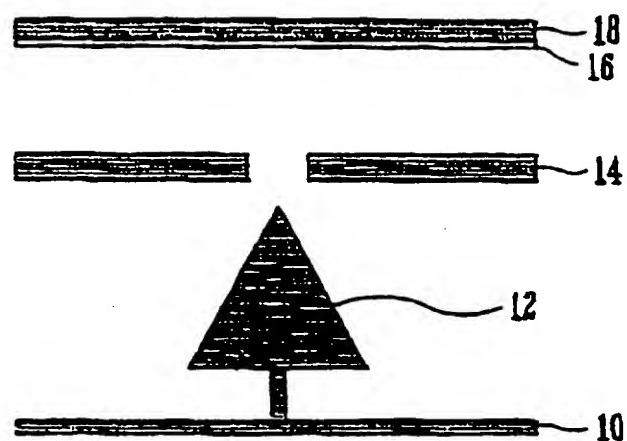


图 1

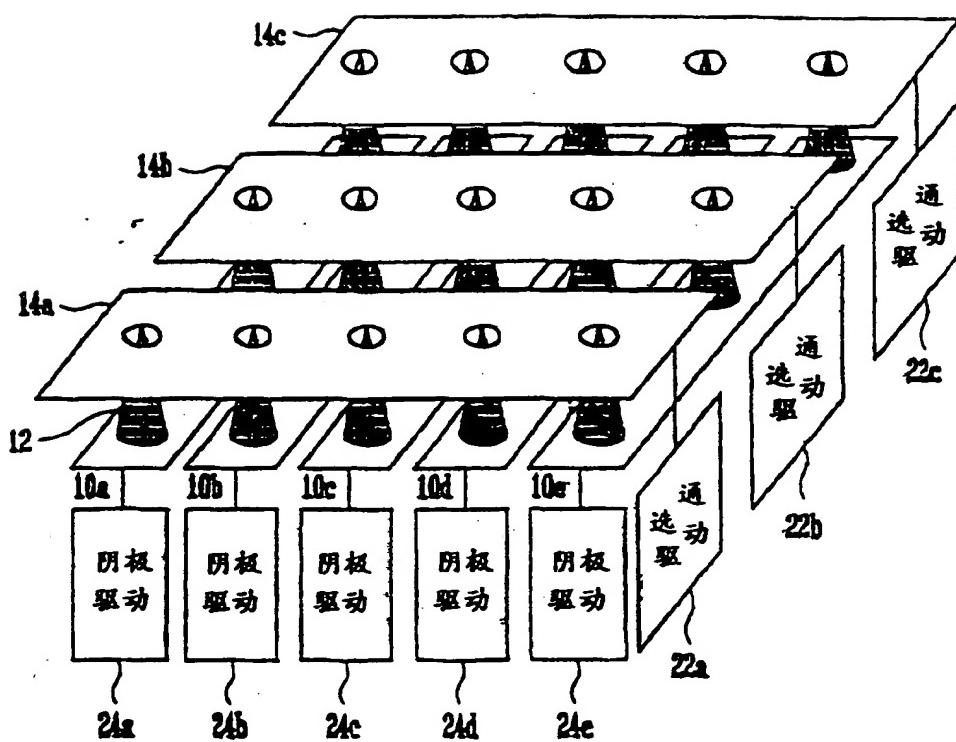
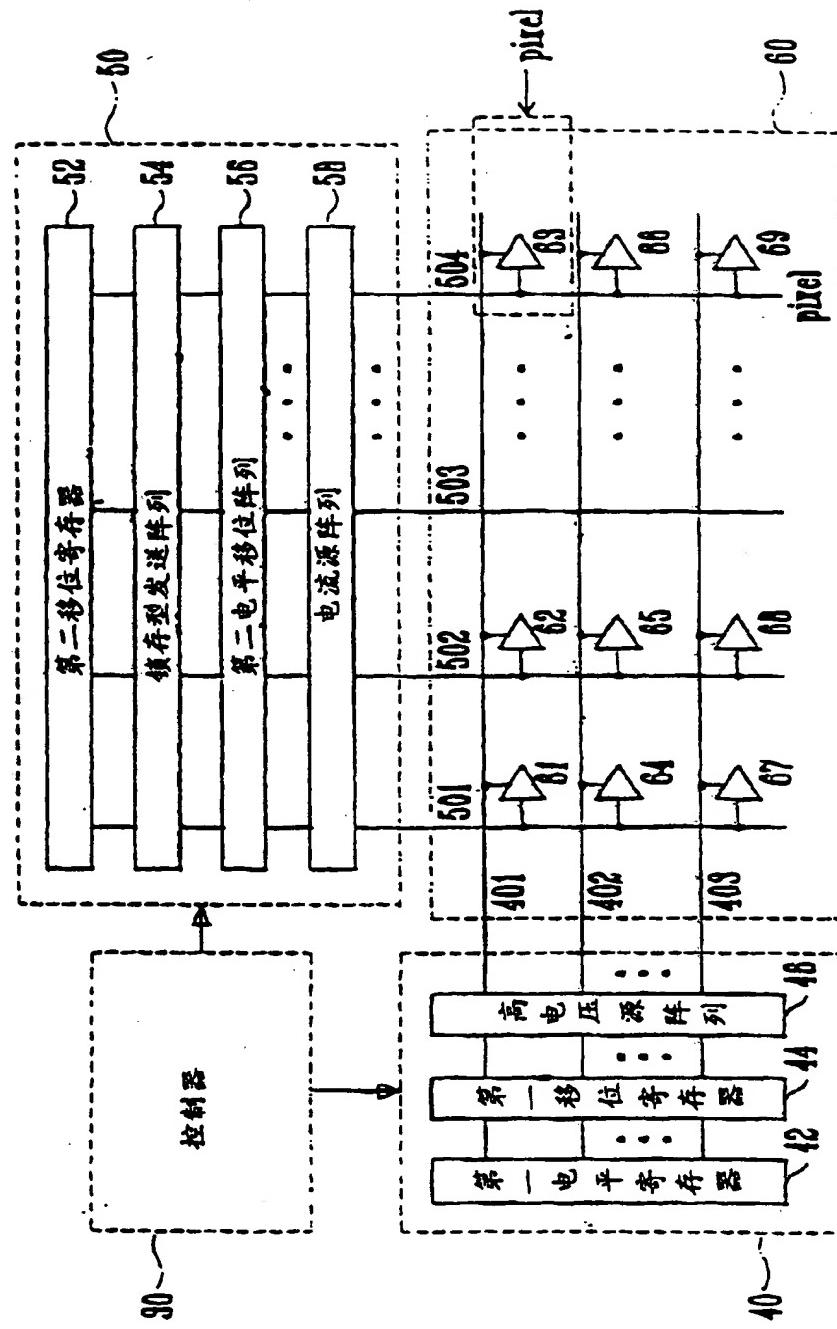


图 2



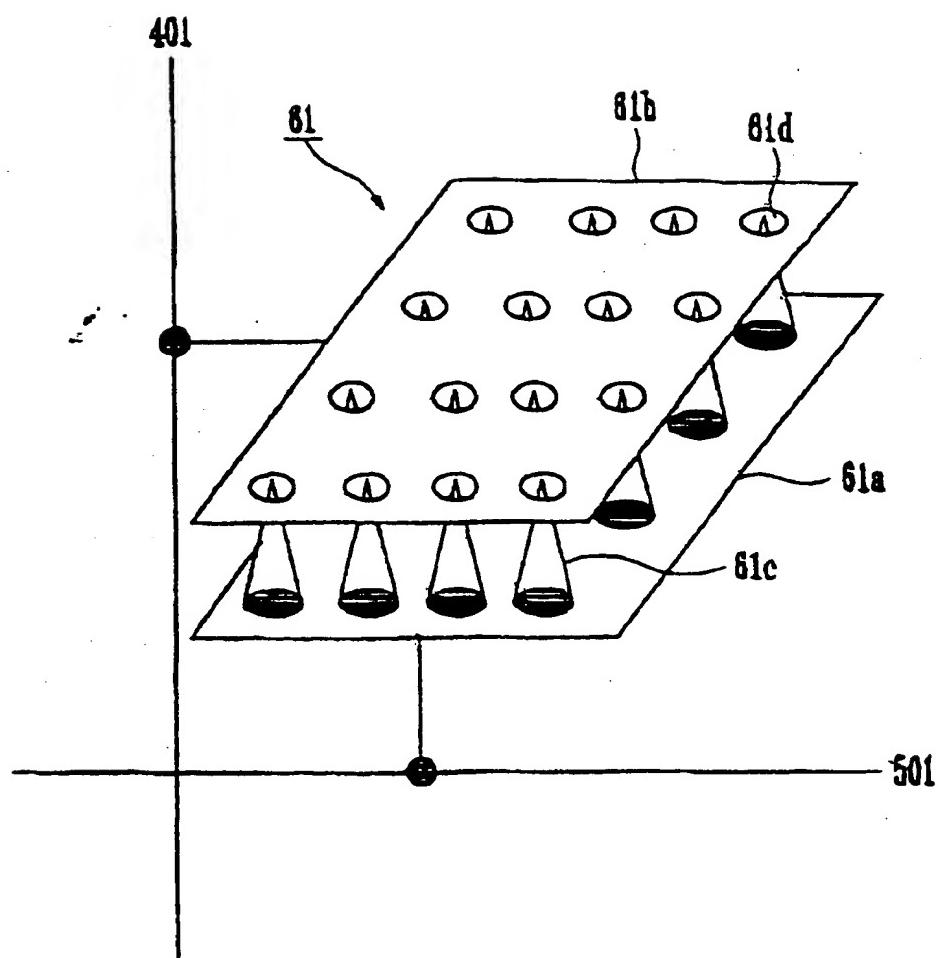
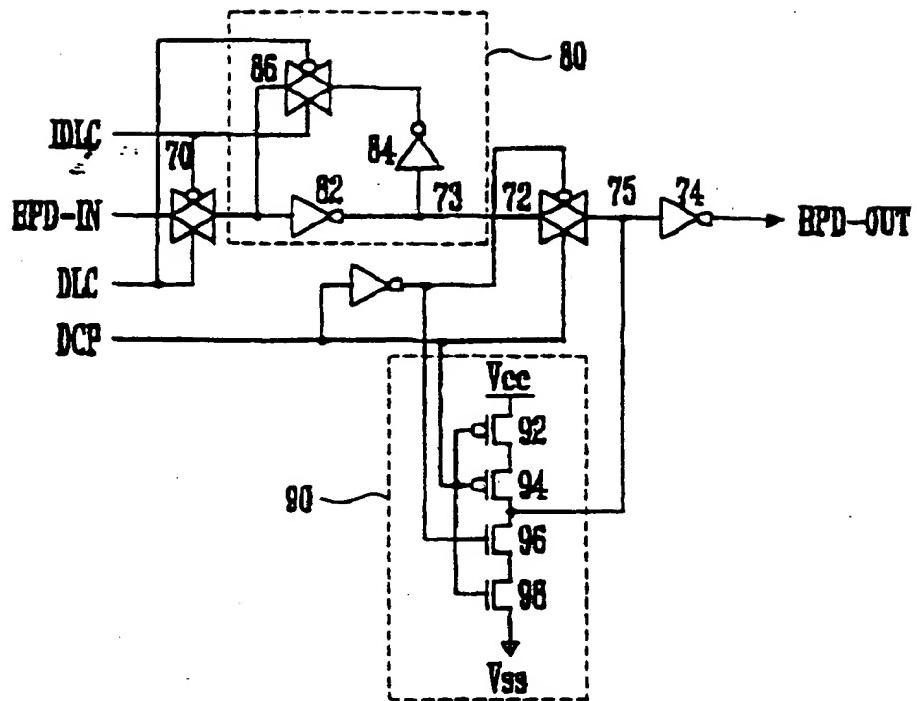


图 4



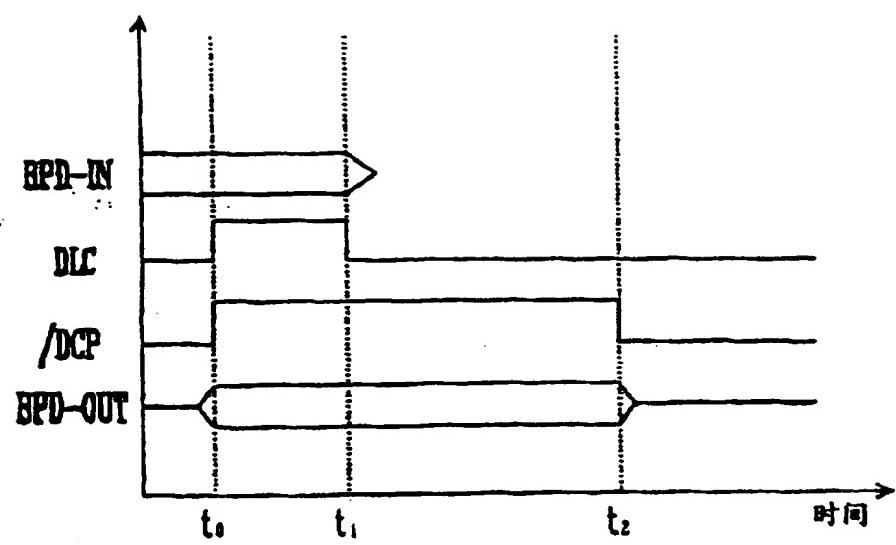


图 6